基本单周期 CPU 设计

徐睿 5130379051

实验目的

1. 理解计算机 5 大组成部分的协调工作原理，理解存储程序自动执行的原理。

2. 掌握运算器、存储器、控制器的设计和实现原理。重点掌握控制器设计原理和实现方法。

3. 掌握 I/O 端口的设计方法，理解 I/O 地址空间的设计方法。

4. 会通过设计 I/O 端口与外部设备进行信息交互。

实验内容

1. 采用 Verilog HDL 在 quartusⅡ中实现基本的具有 20 条 MIPS 指令的单周期 CPU 设计。

2. 利用实验提供的标准测试程序代码，完成仿真测试。

3. 采用 I/O 统一编址方式，即将输入输出的 I/O 地址空间，作为数据存取空间的一部分，实现 CPU 与外部设备的输入输出端口设计。实验中可采用高端地址。

4. 利用设计的 I/O 端口，通过 lw 指令，输入 DE2 实验板上的按键等输入设备信息。即将外部设备状态，读到 CPU 内部寄存器。

5. 利用设计的 I/O 端口，通过 sw 指令，输出对 DE2 实验板上的 LED 灯等输出设备的控制信号（或数据信息）。即将对外部设备的控制数据，从 CPU 内部的寄存器，写入到外部设备的相应控制寄存器（或可直接连接至外部设备的控制输入信号）。

6. 利用自己编写的程序代码，在自己设计的 CPU 上，实现对板载输入开关或按键的状态输入，并将判别或处理结果，利用板载 LED 灯或 7 段 LED 数码管显示出来。

7. 例如，将一路 4bit 二进制输入与另一路 4bit 二进制输入相加，利用两组分别 2 个 LED 数码管以 10 进制形式显示“被加数”和“加数”，另外一组 LED数码管以 10 进制形式显示“和”等。（具体任务形式不做严格规定，同学可自由创意）。

8. 在实验报告中，汇报自己的设计思想和方法；并以汇编语言的形式，提供以上两种指令集（ MIPS 和 Y86）的应用功能的程序设计代码，并提供程序主要流程图。

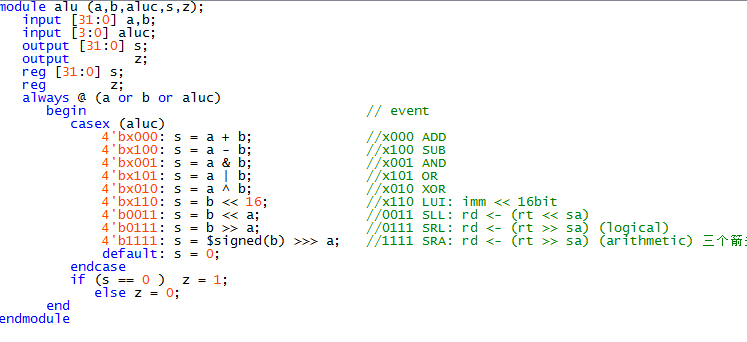
实验器材

Altera-DE1-SOC 实验板套件 1 套

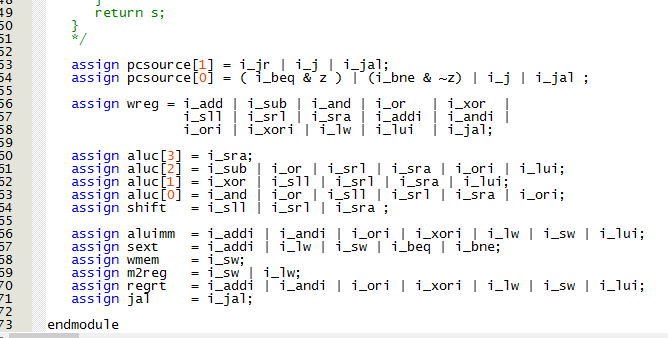
实验过程

代码设计：

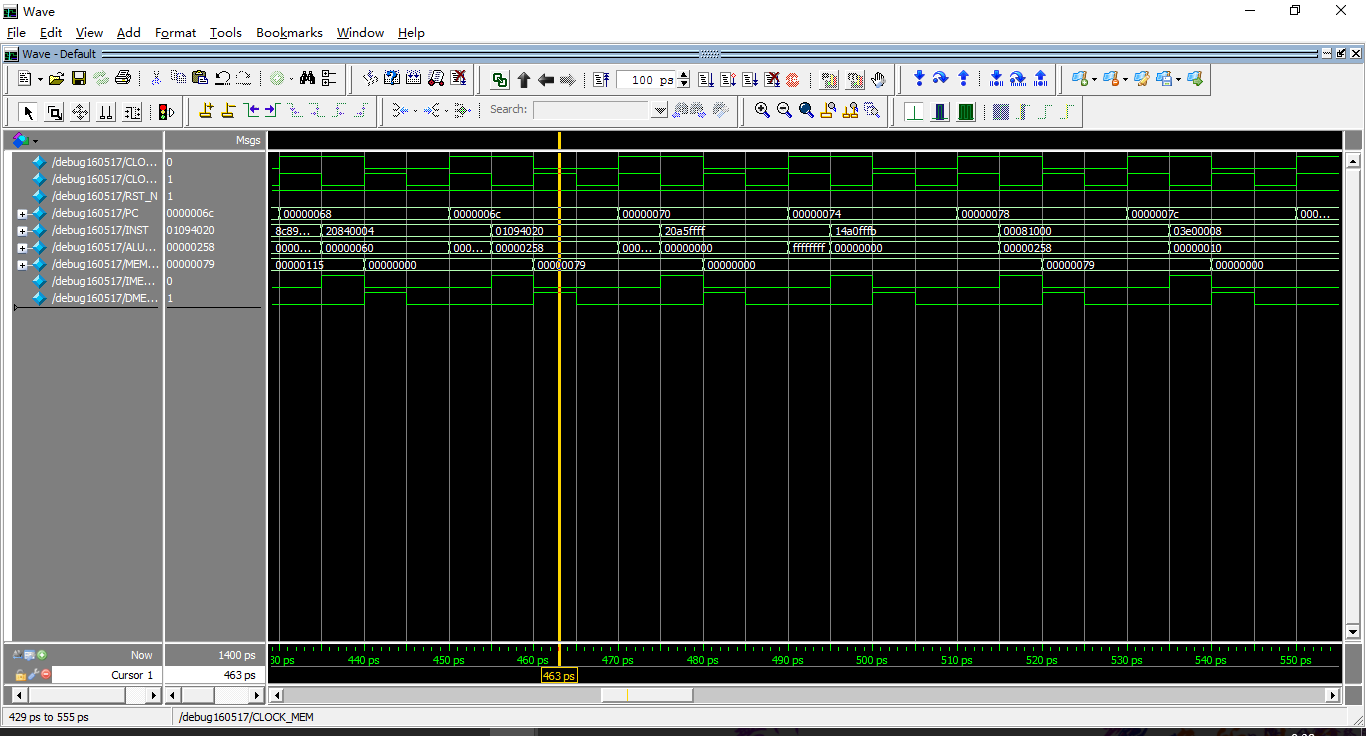
ALU:



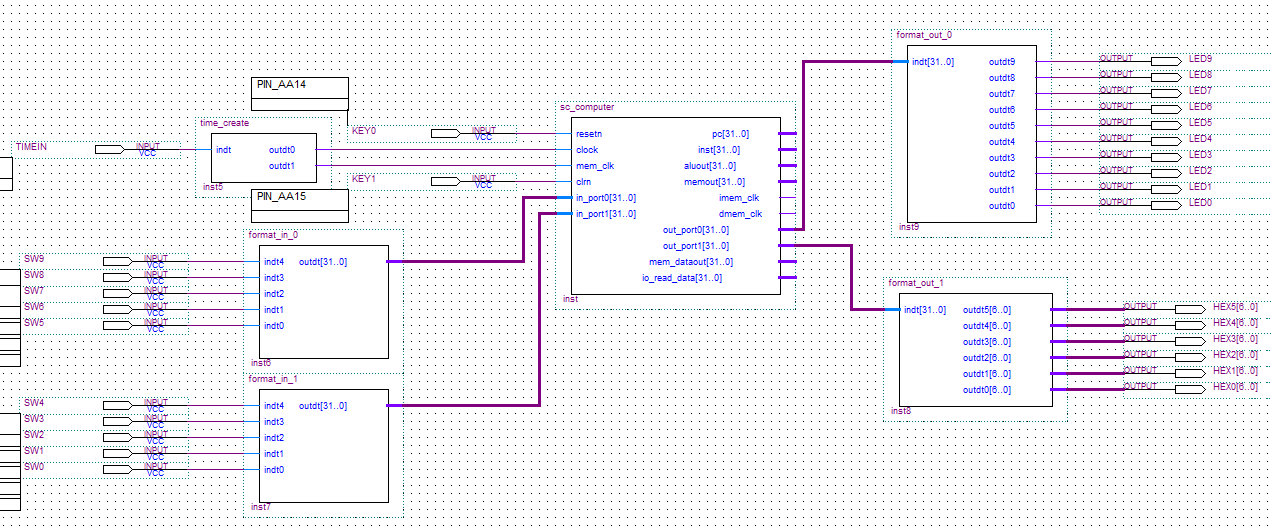
CU:



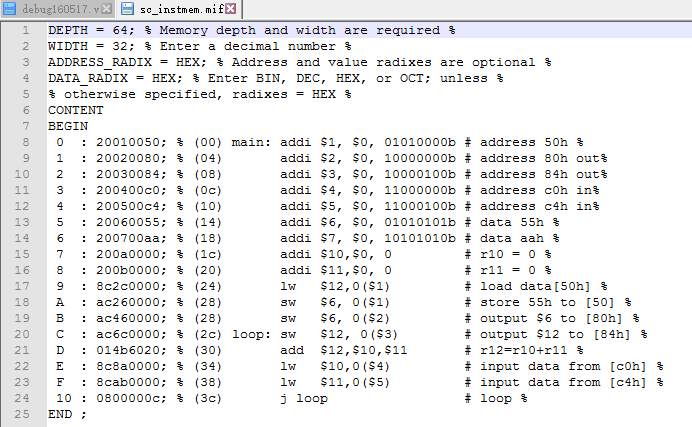
ModelSim



线路 设计



I/O



将

前5个SW 作为一组二进制表示

后5个SW作为二进制表示

进行加法

主要耗时(3周)：

Modelsim错误的文件 引入

应该引入 C:\altera\_lite\15.1\quartus\eda\sim\_lib下的220model.v 和altera\_mf.v